

단락 보호용 DESAT 집적회로(IC) 레이아웃 설계 용역 (서울 공과대학 전기공학과)

1. 과업 개요

- 가. 과업명: 단락 보호용 DESAT 집적회로(IC) 레이아웃 설계 용역
 나. 과업기간: 계약 체결일로부터 5주 (2026. 10. ~ 2026. 11. 예정)
 다. 배정예산: 금 99,000,000원 (부가가치세 포함)

2. 외부 용역 추진 사유 및 과업 목적

본 과업은 발주처의 MPW 레이아웃 설계 및 물리적 검증 인프라에 대한 기술적 제약을 보완하고 연구 효율을 높이기 위해 수행함. 외부 전문기관은 레이아웃 설계와 물리적 검증을 담당하고, 발주처는 과업기간 동안 설계에 대한 지속적인 검토와 피드백을 수행하는 동시에 본 과제의 핵심인 게이트 구동 회로 설계에 대한 자체 실험 및 검증을 병행함.

가. **기술적 제약에 따른 외부 용역의 필수성**: 발주처가 보유한 연구 인프라만으로는 파운드리 전용 PDK와 전문 EDA 툴을 이용한 레이아웃 설계 및 물리적 검증 환경을 구축하는 데 제약이 있음. 이에 해당 공정의 PDK에 대한 적법한 사용 권한과 전문 EDA 설계환경을 보유하고 있으며, 관련 레이아웃 설계 및 물리적 검증 역량을 갖춘 전문 연구기관 또는 사업자에게 해당 업무를 위탁함.

나. **역할 분담을 통한 연구 효율화**: 외부 전문기관은 발주처가 제공한 회로도 및 설계 요구조건을 기반으로 파운드리 공정 모델을 적용한 레이아웃 설계, 기생 성분 추출 및 물리적 검증을 수행함. 발주처는 원천 회로설계, 설계 검토와 피드백 및 게이트 구동 회로의 자체 실험·성능평가를 담당함으로써 외부 용역과 자체 연구의 역할을 명확하게 구분하고 전체 과제 수행의 효율성을 높임.

다. **게이트 구동 회로의 성능 개선을 위한 자체 실험 및 검증 연구 병행**: 발주처는 외부 용역이 진행되는 동안 본 과제의 핵심인 게이트 구동 회로 설계에 대한 자체 실험과 성능평가를 병행함. 자체 실험을 통해 확보한 결과는 필요시 외부 전문기관에 제공하고, 발주처의 지속적인 설계 검토 및 피드백을 통해 레이아웃 설계 개선에 반영함. 이를 통해 외부 용역 결과와 자체 연구 결과를 연계하고, 물리적 설계 최적화가 게이트 구동 및

단락 보호 성능에 미치는 영향을 최종적으로 검증함.

3. 주요 과업 내용

가. **타겟 공정 및 설계 최적화**: 본 과업의 대상 공정은 TSMC 180 nm BCD 공정으로 함. 과업수행자는 발주처가 제공하거나 상호 협의하여 확정된 PDK 및 설계 규칙을 적용하여, 제공된 회로도를 기반으로 레이아웃 설계를 수행해야 함.

나. **고전압 및 기생 성분 최소화 설계**: 고속 스위칭 및 고전압(High-Voltage) 환경에서의 보호 회로 신뢰성 확보를 위해, 고전압 소자 간의 이격 거리 및 가드링(Guard-ring) 배치를 최적화하고 기생 커패시턴스 및 저항(Parasitic RC) 성분이 최소화되도록 배선(Routing)해야 함.

다. **물리적 검증**: 파운드리에서 제공하는 공식 룰셋을 이용하여 설계 규칙 준수 여부를 확인하는 DRC와 회로도 및 레이아웃의 등가성을 확인하는 LVS 검증을 수행하고, 최종 검증을 통과해야 함.

라. **기생 성분 추출 및 포스트 레이아웃 검증**: 최종 레이아웃에서 기생 저항과 기생 커패시턴스를 추출하고, 이를 반영한 포스트 레이아웃 시뮬레이션을 수행하여 제6항의 성과물 검수기준 충족 여부를 검증해야 함.

마. **Full-chip 통합 검증**: 개별 회로 블록의 동작 검증뿐 아니라 전원회로, 아날로그 신호처리회로, 보호회로 및 구동회로가 통합된 Full-chip 수준의 포스트 레이아웃 시뮬레이션을 수행하여 주요 신호경로의 동작 및 Timing 성능을 종합적으로 검증해야 함.

4. 과업 수행 지침 및 상호 협력 의무

가. **설계에 대한 지속적인 검토 및 피드백**: 발주처는 과업기간 동안 레이아웃 설계 진행 상황과 단계별 검증 결과를 지속적으로 검토하고 기술적 피드백을 제공함. 과업수행자는 레이아웃 설계 진행 상황과 DRC/LVS 및 포스트 레이아웃 검증 결과를 정기적으로 공유하고, 발주처와의 검토회의를 통해 제시된 의견을 설계에 반영해야 함.

나. **자체 실험 결과와의 연계**: 발주처는 외부 용역이 진행되는 동안 본 과제의 핵심인 게이트 구동 회로 설계에 대한 자체 실험 및 성능평가를 병행함. 발주처는 DPT 등 자체 실험을 통해 확보한 결과와 설계 요구조건을 과업수행자에게 제공할 수 있으며, 과업수행자는 제공받은 결과를 검토하여 단락 검출 성능과 회로 신뢰성 향상을 위한 레이아웃

최적화에 반영해야 함.

다. **역할 및 변경관리**: 발주처는 레이아웃 설계에 필요한 회로도, 소자정보, 설계 제약 조건 및 기준 테스트벤치를 과업수행자에게 제공함. 과업수행자는 제공된 회로의 기능을 유지하면서 배치·배선 및 기생 성분을 최적화해야 하며, 회로 또는 주요 설계조건의 변경이 필요한 경우에는 사전에 발주처의 검토와 승인을 받아야 함.

라. **보안 및 권리**: 본 과업의 결과물(GDS, 문서 등 일체)에 대한 소유권 및 지식재산권은 발주처에 귀속되며, 취득한 제반 보안 사항에 대하여 철저히 보안을 유지해야 함.

5. 성과품 납품 및 검수

가. **최종 레이아웃 설계 도면 (GDS 데이터)**: 시제품 제작(Tape-out) 단계에 활용 가능한 최종 GDS 포맷 설계 데이터

나. **물리적 검증 보고서**: 제품의 성능 및 신뢰성을 보장하는 DRC 및 LVS 테스트 결과 통과 증빙 자료

다. **Post-layout 시뮬레이션 결과 보고서**: 개별 회로 블록 및 Full-chip 통합 조건에서 추출된 기생 성분을 반영한 포스트 레이아웃 시뮬레이션 결과를 제출해야 함. 보고서에는 시뮬레이션 조건, 주요 신호경로의 동작 파형 및 제6항에 명시된 3가지 항목(Soft Turn-Off 응답 시간, 비교기 전이 시간, IC 전파 지연 시간)의 목표치 충족 여부를 확인할 수 있는 정량적 검증 결과가 포함되어야 함.

라. **용역 수행 및 기술 피드백 결과 보고서**:

- 단계별 설계 진행 내용과 사용한 PDK 및 EDA 툴의 명칭·버전에 관한 자료
- 발주처와의 검토회의 일자, 참석자, 주요 검토내용, 기술적 피드백 및 설계 반영 결과
- 발주처가 수행한 게이트 구동 회로 자체 실험 결과 중 과업수행자에게 제공된 내용과 해당 결과가 레이아웃 설계 개선에 반영된 내역
- 외부 전문기관과 발주처 간 역할 분담 및 상호 협력 결과

마. **납품 기한**: 과업 종료일 이내

6. 성과물 검수 절차 및 합격 기준

최종 성과물이 본 과업지시서 및 계약조건에서 정한 요구사항을 충족하는지 판단하기 위한 검수 절차와 합격 기준은 다음과 같음. 모든 성능지표는 추출된 기생 성분을 포함한 포스트 레이아웃 시뮬레이션 결과를 기반으로 정량적으로 검증해야 함.

가. **Soft Turn-Off 응답 시간 (목표치: 20ns 이하)**:

포스트 레이아웃 시뮬레이션을 통해 Fault 신호 발생 시점부터 Soft Turn-Off 동작에 의해 게이트 전압이 정상 게이트 전압의 90% 지점에 도달하는 시점까지의 시간을 측정하여 기준치 이하인지 평가함.

나. **비교기 Rising/Falling 최대 전이 시간 (목표치: 50ns 이하):**

시뮬레이션을 통해 비교기 출력 전압이 10%에서 90%로 도달하는 상승 시간(Rising Time)과 90%에서 10%로 도달하는 하강 시간(Falling Time)을 측정하며, 측정된 두 전이 시간 중 최대값이 50ns 이하를 충족해야 함.

다. **IC 최대 전파 지연 시간 (목표치: 150ns 이하):**

시뮬레이션 환경에서 단락 보호 Detection 입력핀에 Step 전압을 인가한 시점부터 Soft Turn-Off 출력핀이 실제 동작하는 시점까지의 최대 지연 시간을 측정하여 평가함.

라. **최종 검수 및 보완:** 최종 성과물은 DRC 및 LVS 검증을 통과하고, 상기 가호부터 다호까지의 성능기준을 모두 충족해야 합격으로 판정함. 검수 과정에서 오류 또는 미충족 사항이 확인된 경우 과업수행자는 발주처와 협의한 기한 내에 이를 보완하여 재제출해야 함.

2026. 09. 16.

한양대학교 산학협력단